

(11)Publication number : 01-291524

(43)Date of publication of application : 24.11.1989

(51)Int.Cl.

H03L 7/08

(21)Application number : 63-121602

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.05.1988

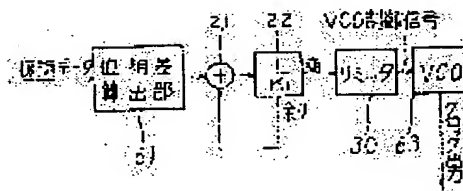
(72)Inventor : UCHIJIMA MAKOTO
TOZAWA YOSHIHARU
YAMASHITA ATSUSHI

(54) PLL CIRCUIT

(57)Abstract:

PURPOSE: To improve both a pull-in characteristic and an antinoise characteristic by generating a quotient signal and a remainder signal by dividing a gain input signal by a prescribed value ≥ 1 by a loop filter, and setting the gain input signal by setting the quotient signal as the control signal of a VCO and adding the remainder signal on a phase difference signal.

CONSTITUTION: By setting the gain input signal outputted from an adder 21 as an address and making a quotient and a remainder corresponding to the signal into a ROM in advance, a gain calculation part 22 can be constituted of a TTL circuit. Thereby, an operation faster than ever can be performed. Since the value of the quotient outputted from the gain calculation part 22, even when it being increased, can be clipped by a limiter 30 by inserting the limiter 30 between the gain calculation part 22 and the VCO, it is possible to prevent the input signal to the VCO3 from being increased excessively, and to eliminate a cycle skip further.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

2-1 ①

相凡

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-291524

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)11月24日

H 03 L 7/08

E-8731-5 J

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 PLL回路

⑮ 特 願 昭63-121602

⑯ 出 願 昭63(1988)5月18日

⑰ 発 明 者 内 島 誠 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 戸 澤 義 春 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑲ 発 明 者 山 下 敦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
㉑ 代 理 人 弁理士 茂泉 修司

明 糸田 登

3. 発明の詳細な説明

(概 要)

1. 発明の名称 PLL回路

2. 特許請求の範囲

(1) 入力信号と再生クロックとから位相比較部
(1) で位相差信号を求め、該位相差信号をループ
フィルタ(2) を通して該再生クロックを発生する
VCO(3) の制御信号とするPLL回路において、
該ループフィルタ(2) が、

該位相差信号とフィードバックされた余り信号
とを加算してゲイン入力信号を発生する加算器(2
1)と、

該ゲイン入力信号を1より大きい所定値で割っ
て商信号と該余り信号とを発生し、該商信号を該
VCO(3) に送るゲイン計算器(22)と、

を備えたことを特徴とするPLL回路。

(2) 該ループフィルタ(2) と該VCO(3) との
間にリミッタ(4) を挿入したことを特徴とする請
求項1記載のPLL回路。

入力信号と再生クロックとから位相比較部で位
相差信号を求め、該位相差信号をループフィルタ
を通して該再生クロックを発生するVCOの制御
信号とするPLL回路に関し、

ループ遅延が大きいPLL回路におけるループ
フィルタの引き込み特性と対ノイズ特性を両立さ
せるとともにサイクルスキップを無くすことを目
的とし、

該ループフィルタを、該位相差信号とフィード
バックされた余り信号とを加算してゲイン入力信
号を発生する加算器と、該ゲイン入力信号を1よ
り大きい所定値で割って商信号と該余り信号とを
発生し、該商信号を該VCOに送るゲイン計算器
とで構成する。

(産業上の利用分野)

本発明は、PLL(位相同期ループ)回路に関
し、特に入力信号と再生クロックとから位相比較

部で位相差信号を求め、該位相差信号をループフィルタを通して該再生クロックを発生するVCO(電圧制御発振器)の制御信号とするPLL回路に関するものである。

第5図は、通信用モデムの復調部に用いられるタイミング再生回路を示しており、受信信号から得られた中間周波数信号IFを低域フィルタ51でベースバンド信号に変換し、A/D変換器52で更にデジタル信号に変換してからデジタルフィルタ53から復調データとしてデジタルSTR(シンボル・タイミング・リカバリー)回路54に送られる。デジタルSTR回路54からは再生クロックが発生されてA/D変換器52のタイミングクロックとなっている。この場合、A/D変換器52とデジタルフィルタ53とで位相比較部PCを構成しており、この位相比較部PCとデジタルSTR回路54とでPLL回路を構成している。

また、デジタルSTR回路54は、第6図に示すように、復調データが示す位相差を位相差算

出部61で算出し、この位相差信号をループフィルタ62に通して高周波成分を除去した後、VCO63の制御信号として与えている。尚、VCO63はデジタル信号をアナログ信号に変換することにより、アナログ式のものも使用できる。

このようなPLL回路においては、引き込み特性と対ノイズ特性の両方が良好である必要がある。

(従来の技術)

第7図には、第6図に示したループフィルタの構成例がブロック図で示されており、位相差算出部61からの位相差信号にゲイン計算部71で所定のゲイン $1/K$ を与えて比例動作(P動作)を行うとともに、完全積分器72では位相差信号に $1/sK$ (s はラプラス因子)なる積分動作(I動作)を行う。

この後、ゲイン計算部71と積分器72の出力信号を加算器73で加算することにより位相差信号にPI動作を与えてVCO63の制御信号を発生している。

(第8図)：

この場合は、ループ遅延が大きくても引き込み特性は良いが、その反面、積分を行う要素が無いため実質的にフィルタが存在しない形になってしまい、対ノイズ特性が悪くなってしまう。従って、ノイズによって位相差が振られて大きくなりサイクルスキップが起きて再生クロックが欠落しデータビットが欠落してしまう確率が大きくなる。

従って、本発明は、ループ遅延が大きいPLL回路において、ループフィルタの引き込み特性と対ノイズ特性を両立させるとともにサイクルスキップを無くすことを目的とする。

(課題を解決するための手段)

第1図は上記の目的を達成するために為された本発明のPLL回路を概念的に示した図で、1は位相比較部、2はループフィルタ、3はVCOであり、本発明ではループフィルタ2が、位相比較部1からの位相差信号とフィードバックされた余り信号とを加算してゲイン入力信号を発生する加

減いは、第8図に示すように、ループフィルタとしては、第7図に示したゲイン計算部71のみで構成されたものもある。

(発明が解決しようとする課題)

このような従来のPLL回路に用いられるループフィルタは、以下の問題点があった。

①ループフィルタが完全積分器を含む場合(第7図)：

位相同期に引き込んだ後(ロック後)の対ノイズ特性は良いが、例えばデジタルフィルタ53の存在によりループ遅延が大きいため、引き込み過程においては、完全積分器が大きく振動してしまい中々収束せず、従ってVCO制御信号も大きく振動してしまい、結局、引き込み特性が悪くなってしまうとともに振動により位相差が大きくなりサイクルスキップが生じてしまう。これは、不完全積分器の場合も程度の差はあるものの同様に振動作用が生ずる。

②ループフィルタがゲインのみを有する場合

算部21と、該ゲイン入力信号を1より大きい所定値で割って商信号と剰余信号とを発生し、該商信号をVCO3に送るゲイン計算部22とで構成している。

また、本発明では、ループフィルタ2とVCO3との間にリミッタ4を挿入してもよい。

(作用)

第1図に示すPLL回路が引き込み過程にある時は、ループフィルタ2におけるゲイン入力信号 u は、 $|u| \geq K$ ($K > 1$ の定数)の範囲にあるので、ゲイン計算部22では商と剰余が発生し、商の信号はVCO3の制御信号として送られるとともに剰余信号は加算部21にフィードバックして位相差信号に加算される。従って、第2図(a)に示すように、演算誤差の積分は行うものの、実質的にゲインのみのループフィルタに見え、振動することなく良好な引き込み特性が確保できる。

一方、位相同期引き込み状態になった時には、 $|u| < K$ となるので商は発生せず、従って加算

部21をROMで構成し、商と剰余の出力信号を発生している。

即ち、第3図(a)に示すように、加算部21から出力されるゲイン入力信号をアドレスとし、これに対応する商と剰余を予めROM化しておくことにより、ゲイン計算部22は、ゲイン入力信号に対応して商信号と剰余信号とを出力することができる。

また、このゲイン計算部22はTTL回路で構成することにより、更に高速な動作が得られる。

第4図(a)は第1図に示す本発明を用いた一実施例を示すもので、この実施例では、ゲイン計算部22とVCOとの間にリミッタ30を挿入している。

これにより、第4図(b)に示す如く、ゲイン計算部22から出力される商の値が大きくなってもリミッタ30でクリップされてしまうため、VCO3への入力信号は大きくなり過ぎることがなくサイクルスキップを更に無くすることができる。

尚、本発明は、第5図に示したようなディジタ

ル21での専ら積分動作のみが行われることになり、等価的に第2図(b)に示すように完全積分器($1/s$)を含んだループフィルタとなっており、対ノイズ特性が確保される。

振動が無く、ノイズによっても位相差が大きくなることにより、サイクルスキップを減少させることができる。

また、ループフィルタ2とVCO3との間にリミッタを挿入すれば、位相差信号を制限することができ、サイクルスキップを更に減少させることができる。

このようにして引き込み特性と対ノイズ特性とを両立させている。

(実施例)

以下、本発明に係るPLL回路の実施例を説明する。

第3図(a)は、第1図に概念的に示した本発明のPLL回路に用いるループフィルタ2の一実施例を示しており、この実施例では、ゲイン計算部2

ルフィルタによる大きなループ遅延を有するPLL回路の他、ループ遅延が大きいあらゆるPLL回路に適用できることは言うまでもない。

(発明の効果)

以上のように、本発明のPLL回路によれば、ループフィルタが、ゲイン入力信号を1より大きい所定値で割って商信号と剰余信号とを発生し、該商信号をVCOの制御信号とするとともに剰余信号を位相差信号に加算してゲイン入力信号とすように構成したので、ループ遅延の大きいPLL回路においては、引き込み過程で実質的にゲインのみのループフィルタとして働き、引き込み後は完全積分器のフィルタとして働くので、引き込み特性と対ノイズ特性を共に良好なものとしことができ、位相差の増大に起因するサイクルスキップも減少する。

また、ループフィルタとVCOとの間にリミッタを挿入すれば、更にサイクルスキップを減少させることができる。

4. 図面の簡単な説明

第1図は本発明に係るPLL回路の原理構成を示すブロック図、

第2図は本発明に係るPLL回路に用いるループフィルタの動作原理を示すブロック図、

第3図は本発明に係るPLL回路に用いるループフィルタの一実施例を示す図、

第4図はリミッタを用いた本発明の一実施例を示す図、

第5図はモデムに用いられるPLL回路としてのタイミング再生回路の一般的な構成を示すブロック図、

第6図はPLL回路に用いられるデジタルSTR回路の構成例を示すブロック図、

第7図及び第8図はPLL回路に用いられる従来のループフィルタの構成を説明するための図である。

第1図において、

1…位相比較部、

2…ループフィルタ、

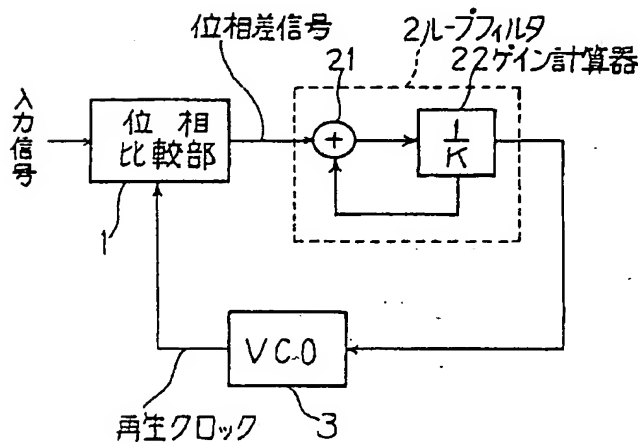
3…VCO、

21…加算器、

22…ゲイン計算部、

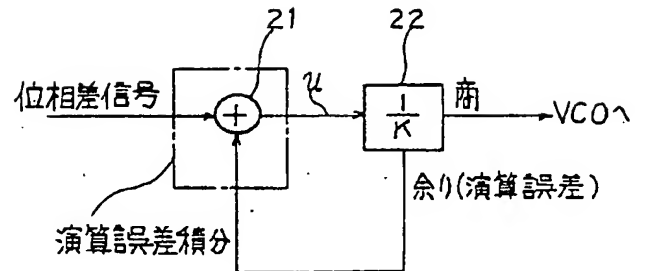
図中、同一符号は同一又は相当部分を示す。

代理人 弁理士 茂 東 修 司

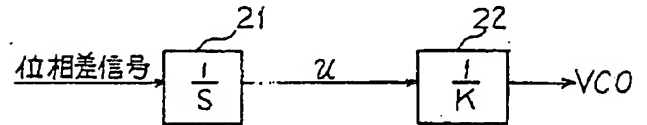


本発明の原理図

第1図



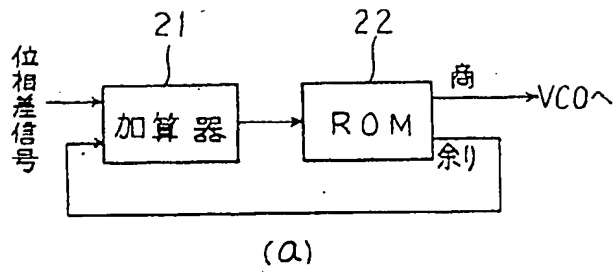
(a) $|u| \geq K$ の場合



(b) $|u| < K$ の場合

ループフィルタの等価回路

第2図

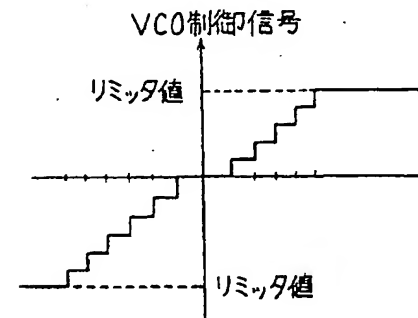
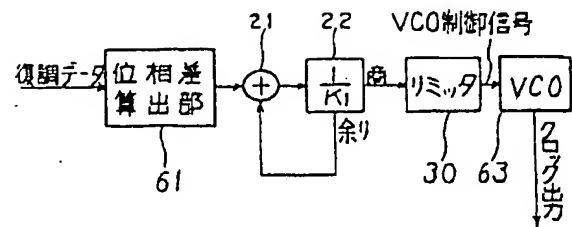


アドレス	商	余り
1	a	b
2	c	d
⋮	⋮	⋮
x	y	z

(b)

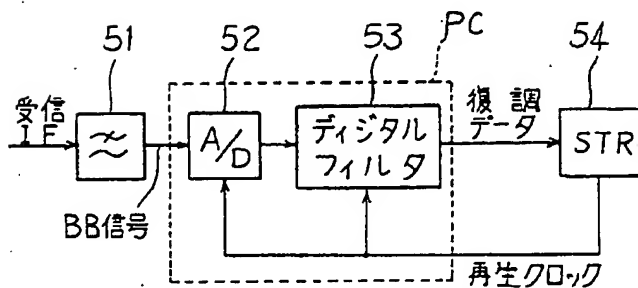
ループフィルタの一実施例

第3図

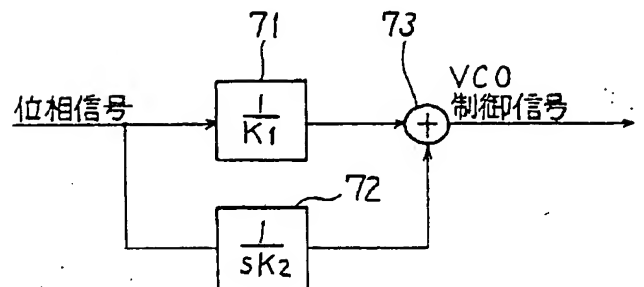


(b) リミッタ回路特性

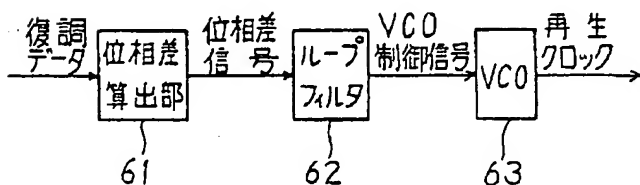
第4図



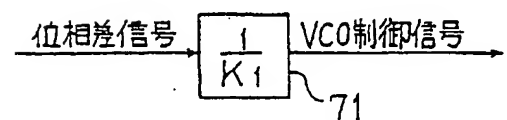
第5図



第7図



第6図



第8図